

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-104039

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

G01R 31/316
H01L 21/66

(21)Application number : 05-247751

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 04.10.1993

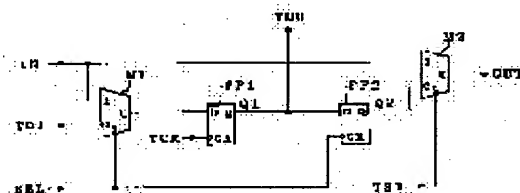
(72)Inventor : YOSHIYAMA MASAYUKI

(54) TEST CIRCUIT FOR ANALOG DIGITAL MIXED CIRCUIT

(57)Abstract:

PURPOSE: To easily control setting of data from the outside and timing of inputting test data to a circuit to be tested from the outside.

CONSTITUTION: An input data select signal SEL is put in the L state, and test data is held from a test data input signal TDI to the input side flip-flop FF1 in timing according to a test data clock signal TCK. At the time of inputting a test data clock signal TCK, an input data select signal SEL input to a clock CK of the output side flip-flop FF2 is still in the L state, so that the logical conditions of an output signal Q and an output signal OUT output to a tested circuit are not changed. Rise of an input data select signal SEL forcibly sets an output signal OUT according to test data held in the input side flip-flop FF1.



LEGAL STATUS

[Date of request for examination]

28.10.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

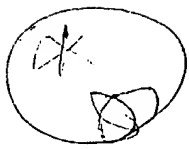
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

アナログデジタル混載回路
7/22/95



7/22/95

MPX(AB.技)とF/F(他.技)
制御MPX:アナログデジタル混載回路

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-104039

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/316				
H 0 1 L 21/66	F	7630-4M	G 0 1 R 31/ 28	C

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号	特願平5-247751	(71) 出願人	000001258 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号
(22) 出願日	平成5年(1993)10月4日	(72) 発明者	吉山 正之 東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内
		(74) 代理人	弁理士 高矢 諭 (外2名)

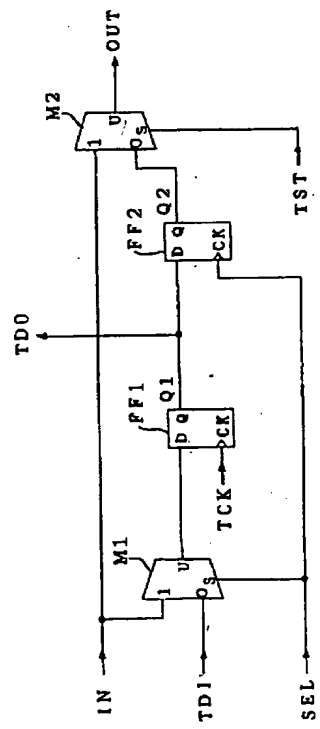
(54) 【発明の名称】 アナログデジタル混載回路のテスト回路

(57) 【要約】

【目的】 外部からのテストデータの設定、又該テストデータを被テスト回路へと入力するタイミングを、外部からより容易にコントロールできるようにする。

【構成】 入力データ選択信号SELをL状態として、テストデータ入力信号TDIからテストデータを、テストデータクロック信号TCKに従ったタイミングで入力側フリップフロップFF1へと保持させる。該テストデータクロック信号TCKの入力時に、出力側フリップフロップFF2のクロックCKに入力される前記入力データ選択信号SELはL状態のままであるので、出力信号Q2及び被テスト回路へと出力される出力信号OUTの論理状態は変化しない。前記入力側フリップフロップFF1へと保持されたテストデータにて前記出力信号OUTが強制的に設定されるのは、前記入力データ選択信号SELの立上りである。

配線端子でな



【特許請求の範囲】

【請求項 1】アナログ回路部とデジタル回路部との間での、一方の出力側の回路部から出力された入力信号 IN を他方の入力側の回路部へ入力する信号経路にあって、前記入力信号 IN の論理状態をテストデータ出力信号 TD としてモニタ可能とすると共に、該入力信号 IN の論理状態を外部から入力されるテストデータ入力信号 TDI にて強制的に設定して、出力信号 OUT として前記入力側回路部へ入力可能とするアナログデジタル混載回路のテスト回路において、

外部から入力される入力データ選択信号 SEL の論理状態に従って、前記出力側回路部からの前記入力信号 IN と、外部からの前記テストデータ入力信号 TDI との、いずれか一方を択一選択する入力側マルチプレクサ M1 と、

外部から入力されるテストデータクロック信号 TCK に従ったタイミングで、前記入力側マルチプレクサ M1 が選択した信号を保持する入力側フリップフロップ FF1 と、

前記入力データ選択信号 SEL の論理状態が、前記テストデータ入力信号 TDI の選択状態から前記入力信号 IN の選択状態へと変化するタイミングで、前記入力側フリップフロップ FF1 が出力する出力信号 Q1 を保持する出力側フリップフロップ FF2 と、

外部から入力されるテストモード信号 TST の論理状態に従って、前記入力信号 IN と、前記出力側フリップフロップ FF2 が出力する出力信号 Q2 との、いずれか一方を択一選択し、選択されたものを前記出力信号 OUT として出力する出力側マルチプレクサ M2 とを備え、又、前記入力側マルチプレクサ M1 が出力する前記出力信号 Q1 を、前記テストデータ出力信号 TDO として引き出すようにし、該テストデータ出力信号 TDO にて、前記入力信号 IN の論理状態のモニタをも可能にしたことを特徴とするアナログデジタル混載回路のテスト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アナログ回路部とデジタル回路部との間での、一方の出力側の回路部から出力された入力信号 IN を他方の入力側の回路部へ入力する信号経路にあって、前記入力信号 IN の論理状態をテストデータ出力信号 TDO としてモニタ可能とすると共に、該入力信号 IN の論理状態を外部から入力されるテストデータ入力信号 TDI にて強制的に設定して、出力信号 OUT として前記入力側回路部へ入力可能とするアナログデジタル混載回路のテスト回路に係り、特に、外部からのテストデータの設定、又、設定されたテストデータを被テスト回路へと入力するタイミングを、外部からより容易にコントロールすることができるようにすることで、テスト作業能率を向上することができるアナロ

グデジタル混載回路のテスト回路に関する。

【0002】

【従来の技術】近年、集積度の向上や CPU (central processing unit) 等の動作速度の向上等、半導体集積回路の進歩には非常に目覚ましいものがある。又、このような半導体集積回路の進歩等に伴って、様々な情報処理分野でデジタル回路技術が用いられるようになっていく。例えば、機械等の制御や様々な信号処理等、従来アナログ回路が用いられていたものがデジタル回路化されているものもある。

【0003】又、半導体集積回路の 1 つのチップ上へと、アナログ回路部とデジタル回路部とを混載したものも多く用いられるようになっていく。このようにアナログ回路部とデジタル回路部とを 1 つに混載したものについては、アナログ回路部とデジタル回路部とを独立してテストするものである。例えば、アナログ回路部からの出力信号でデジタル回路部へと入力される信号について、該信号に代わる信号を外部から入力しながら、該デジタル回路部を個別にテストするのが一般的である。

【0004】例えば、特開昭 63-75680 では、アナログ回路部とデジタル回路部とを有する LSI (large scale integrated circuit) において、1 つのフリップフロップを用いた試験回路に関する技術が開示されている。この技術は、アナログ回路部とデジタル回路部とを有する LSI において、一方の回路部の出力と試験用入力とを切換えて出力する第 1 のセレクトと、該第 1 のセレクトの接続をラッチして試験用出力を発生するフリップフロップと、前記一方の回路部の出力とフリップフロップの出力とを切換えて他方の回路部へ入力する第 2 のセレクトとを備えるというものである。

【0005】この特開昭 63-75680 によれば、アナログ回路部とデジタル回路部との個別試験において、両回路部のテスト信号をフリップフロップへと記憶するようにすることで、LSI の外部ピンを減少することができる。

【0006】

【発明が達成しようとする課題】しかしながら、前記特開昭 63-75680 では、外部からのテストデータの設定と、設定されたテストデータを被テスト回路へと入力するタイミングとを、外部から十分にコントロールすることができず、このため、テスト作業を能率良くすることができなかった。

【0007】該特開昭 63-75680 については、LSI の外部ピンのうち、特にテストに用いるものを極力減少するためには、該特開昭 63-75680 の明細書第 2 図に示される如く、多数のテスト回路（インタフェース回路）をカスケード接続し、外部からテストデータを順次シフトしながら入力するようにするものである。このようにすることで、個々の前記テスト回路へと、複数のテストデータを順次シフトしながら設定するもので

ある。

【0008】しかしながら、該特開昭63-75680の明細書第1図あるいは第3図に示される如く、順次シフトしながら設定されるテストデータは、セレクト12から被テスト回路へと常時出力されてしまう。このため、設定されたテストデータを被テスト回路へと入力するタイミングが、外部からコントロールすることができなかった。即ち、実際に内部回路をテストする以前に、該テストに必要とするテストデータの設定中、該内部回路の論理状態が変化してしまっていた。このため、所望のテスト条件を成立させ、該テスト条件に基づいてテストを行うというテスト作業を行うことはほとんど不可能であり、テスト作業能率が低下してしまうものであった。

【0009】本発明は、前記従来の問題点を解決するべくなされたもので、外部からのテストデータの設定、又、設定されたテストデータを被テスト回路へと入力するタイミングを、外部からより容易にコントロールすることができるようにすることで、テスト作業能率を向上することができるアナログデジタル混載回路のテスト回路を提供することを目的とする。

【0010】

【課題を達成するための手段】本発明は、アナログ回路部とデジタル回路部との間での、一方の出力側の回路部から出力された入力信号INを他方の入力側の回路部へ入力する信号経路にあって、前記入力信号INの論理状態をテストデータ出力信号TDとしてモニタ可能とすると共に、該入力信号INの論理状態を外部から入力されるテストデータ入力信号TDIにて強制的に設定して、出力信号OUTとして前記入力側回路部へ入力可能とするアナログデジタル混載回路のテスト回路において、外部から入力される入力データ選択信号SELの論理状態に従って、前記出力側回路部からの前記入力信号INと、外部からの前記テストデータ入力信号TDIとの、いずれか一方を択一選択する入力側マルチプレクサM1と、外部から入力されるテストデータクロック信号CLKに従ったタイミングで、前記入力側マルチプレクサM1が選択した信号を保持する入力側フリップフロップFF1と、前記入力データ選択信号SELの論理状態が、前記テストデータ入力信号TDIの選択状態から前記入力信号INの選択状態へと変化するタイミングで、前記入力側フリップフロップFF1が出力する出力信号Q1を保持する出力側フリップフロップFF2と、外部から入力されるテストモード信号TSTの論理状態に従って、前記入力信号INと、前記出力側フリップフロップFF2が出力する出力信号Q2との、いずれか一方を択一選択し、選択されたものを前記出力信号OUTとして出力する出力側マルチプレクサM2とを備え、又、前記入力側マルチプレクサM1が出力する前記出力信号Q1を、前記テストデータ出力信号TDOとして引き出すよ

うにし、該テストデータ出力信号TDOにて、前記入力信号INの論理状態のモニタをも可能にしたことにより、前記課題を達成したものである。

【0011】

【作用】本発明は、前記特開昭63-75680等、アナログ回路部とデジタル回路部との間での、一方の回路部から他方の回路部への信号経路にあって用いられるテスト回路（前記特開昭63-75680ではインタフェース回路と称するもの。以降、単にテスト回路と称する）について、設定されているテストデータに従って当該テスト回路から強制的に設定される出力信号OUTを入力する回路部（以降、被テスト回路と称する）へ影響を与えずに、当該テスト回路へのテストデータの設定を可能とすることが非常に重要である点に着目してなされたものである。

【0012】従って、本発明においては、前記テスト回路へのテストデータの設定作業と、テストデータに従った被テスト回路への信号出力とを、より厳密に分離して行えるようにしたものである。

【0013】図1は、本発明の要旨を示す論理回路図である。

【0014】この図1に示されるテスト回路は、アナログ回路部とデジタル回路部との間での信号経路に設けられる。即ち、アナログ回路部とデジタル回路部との間での、これらのうちの一方の出力側の回路部から出力された入力信号INを、これらのうちの他方の入力側の回路部へ入力する信号経路に設けられる。即ち、当該テスト回路にあって、前記入力信号INは、アナログ回路側からの信号であっても、あるいはデジタル回路側からの信号であってもよい。又、前記出力信号OUTは、アナログ回路側への信号であっても、あるいはデジタル回路側への信号であってもよい。又、該テスト回路は、前記入力信号INの論理状態のモニタが可能となっており、共に、該入力信号INの論理状態を、外部から入力されるテストデータ入力信号TDIにて強制的に設定して、出力信号OUTとして前記入力側回路部へ入力することができるようにしている。

【0015】このような本発明のテスト回路は、主として、入力側マルチプレクサM1と、入力側フリップフロップFF1と、出力側フリップフロップFF2と、出力側マルチプレクサM2とを備えるものである。

【0016】前記入力側マルチプレクサM1は、外部から入力される入力データ選択信号SELの論理状態に従って、前記出力側回路部からの前記入力信号INと、外部からの前記テストデータ入力信号TDIとの、いずれか一方を択一選択する。該テストデータ入力信号TDIは、外部から入力される信号であり、テスト者によって、前記出力信号OUTを決定するテストデータを入力する信号である。

【0017】又、前記入力データ選択信号SELは、こ

のように、主として前記入力マルチプレクサM1を切り替えるのに用いられる。即ち、前記入力側フリップフロップFF1へと保持され、前記テストデータ出力信号TDIとしてモニタしたり、あるいは前記出力側フリップフロップFF2及び前記出力側マルチプレクサM2を経て、前記出力信号OUTとして出力するものを選択する。又、前記入力データ選択信号SELは、外部から入力されるものであり、その論理状態はテスト者によって設定されるものである。

【0018】本発明はこれに限定されるものではないが、この図1においては、例えば、前記入力データ選択信号SELがH状態の時、前記入力側マルチプレクサM1において前記入力信号INが選択される。一方、該入力データ選択信号SELがL状態の際には、該入力側マルチプレクサM1においては前記テストデータ入力信号TDIが選択される。

【0019】前記入力側フリップフロップFF1は、外部から入力されるテストデータクロック信号TCKに従ったタイミングで、前記入力側マルチプレクサM1が選択した信号を保持する。

【0020】後述する実施例の如く、この図1に示されるようなテスト回路が複数カスケード接続される場合、即ち、当該テスト回路の前記テストデータ入力信号TDIが前段のテスト回路の前記テストデータ出力信号TDIへと接続するようにし、一方、当該テスト回路の前記テストデータ出力信号TDIについては次段のテスト回路の前記テストデータ入力信号TDIへと接続するようにした場合、前記入力側マルチプレクサM1を前記テストデータ入力信号TDIへと選択した際には、複数の前記テスト回路にあって、複数の前記入力側フリップフロップFF1はシフトレジスタとして動作する。この時、前記テストデータクロック信号TCKの入力に従って、テストデータは順次シフトされる。

【0021】前記出力側フリップフロップFF2は、前記入力データ選択信号SELの論理状態が、前記テスト信号TDIの選択状態から前記入力信号INの選択状態へと変化するタイミングで、前記入力側フリップフロップFF1が出力する出力信号Q1を保持する。

【0022】前記入力データ選択信号SELの論理状態が、前記テスト信号TDIの選択状態から前記入力信号INの選択状態へと変化する時は、前述のように前記テストデータクロック信号TCKに従ったタイミングでのテストデータの設定が行える状態から、このようなテストデータの設定ができない状態へと変化するものである。又、この時以降については、原則的に、設定されたテストデータに従って前記出力信号OUTを出力しながら実際にテストを行うものとなる。

【0023】従って、本発明においては、前述のように前記入力データ選択信号SELが前記入力信号INの選択状態へと変化するタイミングで、前記出力側フリップ

フロップFF2が前記出力信号Q1を保持するようにしている。このように、本発明においては、設計作業の手順を配慮し、より能率良くできるようにされている。

【0024】前記出力側マルチプレクサM2は、外部から入力されるテストモード信号TSTの論理状態に従って、前記入力信号INと、前記出力側フリップフロップFF2が出力する出力信号Q2との、いずれか一方を択一選択し、選択されたものを前記出力信号OUTとして出力するものである。該出力側マルチプレクサM2は、被テスト回路が通常の動作を行う時、即ち本発明のテスト回路によるテストを行わない場合（但し、前記入力信号INのモニタは可能）には、前記入力信号INと前記出力信号OUTとを直結すべく、前記入力信号INを選択する。一方、該出力側マルチプレクサM2は、本発明のテスト回路によるテストを行う際には、前記出力側フリップフロップFF2に保持されているテストデータに従った論理状態を出力すべく、該出力側フリップフロップFF2が出力する前記出力信号Q2を選択する。

【0025】従って、このように信号を選択する当該出力側マルチプレクサM2について、前記テストモード信号TSTは、前記被テスト回路が通常の動作を行う通常モードと、本発明によるテスト回路を活用したテストを行うテストモードとを選択する信号である。本発明はこれに限定されるものではないが、例えば、この図1においては、前記テストモード信号TSTがH状態となると、通常モードの状態となり、前記出力側マルチプレクサM2は前記入力信号INを選択する。又、この図1では、前記テストモード信号TSTがL状態となると、テストモードの状態として、前記出力側マルチプレクサM2は前記出力側フリップフロップFF2の出力する前記出力信号Q2を選択する。

【0026】以下、本発明の作用を説明する。

【0027】まず、被テスト回路のテストを行わない前記通常モード時には、前述のとおり、前記テストモード信号TSTから通常モードが入力され、前記入力信号INと前記出力OUTとは直結される。この時、前記入力側マルチプレクサM1、前記入力側フリップフロップFF1及び前記出力側フリップフロップFF2については、前記出力信号OUTへは影響を与えない状態となる。

【0028】この時、前記入力データ選択信号SELにて、前記入力側マルチプレクサM1を前記入力信号INの選択とすると、前記テストデータクロック信号TCKに従ったタイミングで、前記入力信号INの論理状態を前記入力側フリップフロップFF1へと保持させることができる。又、このように保持された前記入力信号INは、前記テストデータクロック信号TCKに従ったタイミングで、前記テストデータ出力信号TDIからモニタすることが可能となる。

【0029】なお、このような通常モード時において、

前記入力データ選択信号SELによって前記入力側マルチプレクサM1が前記テストデータ入力信号TDIを選択するようにすることもできる。このようにしたとしても、前記出力信号OUT、又被テスト回路へは全く影響を与えない。このように通常モード時に前記入力側マルチプレクサM1を前記テストデータ入力信号TDIの選択とするすることで、通常モード時であっても、前記テストデータクロック信号TCKに従ったタイミングで、前記テストデータ入力信号TDIからテストデータを設定することができる。

【0030】又、前記テストデータ入力信号TDI及び前記テストデータ出力信号TDOに関して複数の前記テスト回路がカスケード接続されている場合、前記テストデータクロック信号TCKに従ったタイミングで、このような通常モード時にも、順次テストデータをシフトしながら設定することが可能である。

【0031】次に、本発明のテスト回路を活用したテストモード時においては、まず、前記テストモード信号TSTをテストモードの論理状態とし、この論理状態に従って、前記出力側マルチプレクサM2は前記出力側フリップフロップFF2の出力する前記出力信号Q2を選択する。

【0032】このようなテストモード時に、被テスト回路から得られる前記入力信号INのモニタは、前記入力データ選択信号SELの論理状態に従って前記入力側マルチプレクサM2が前記入力信号INを選択することで行われる。このように前記入力信号INを選択した後、前記テストデータクロック信号TCKに従ったタイミングで、選択された入力信号INの論理状態を前記入力側フリップフロップFF1へと保持することができる。又、このように保持されたものは、前記テストデータ出力信号TDOとしてモニタすることができる。

【0033】なお、複数の本発明のテスト回路を前記テストデータ入力信号TDIと前記テストデータ出力信号TDOとについてカスケード接続するようにした場合、このように前記入力側フリップフロップFF1へと保持された前記入力信号INは、前記テストデータクロック信号TCKに従ってタイミングで順次シフトしながらモニタすることもできる。即ち、前記入力データ選択信号SELに従って前記入力側マルチプレクサM1を前記入力信号INの選択とし、前記テストデータクロック信号TCKに従ったタイミングで該入力信号INを前記入力側フリップフロップFF1へと保持する。この後、前記入力側マルチプレクサM1を前記テストデータ入力信号TDIの選択とし、前記テストデータクロック信号TCKに従ったタイミングで、保持された前記入力信号INを順次シフトしながらモニタするというものである。

【0034】又、本発明のテスト回路を活用したテストを行うテストモード時に、外部から入力される前記テストデータ入力信号TDIにて、前記出力信号OUTの論

理状態を強制的に設定し、被テスト回路へと入力することも可能である。この前記出力信号OUTの強制設定の際には、まず、前記入力データ選択信号SELに従って前記入力側マルチプレクサM1を前記テストデータ入力信号TDIの選択とする。

【0035】この後、前記テストデータクロック信号TCKに従ったタイミングで、前記テストデータ入力信号TDIの論理状態を前記入力側フリップフロップFF1へと保持することができる。即ち、テスト時に前記出力信号OUTを強制設定したい論理状態に従った、前記テストデータ入力信号TDIの論理状態を、該入力側フリップフロップFF1へと保持することができる。

【0036】又、一旦このように該入力側フリップフロップFF1へと保持されたテストデータは、前記テスト信号TDIの選択状態となっている前記入力データ選択信号SELの論理状態を、前記入力信号INの選択状態へと変化させることで、前記出力側フリップフロップFF2へと保持させることができる。又、このように保持された論理状態は、これに従って該出力側フリップフロップFF2の出力する前記出力信号Q1の論理状態が変化すると、テストモードとして前記出力信号Q2を選択している前記出力側マルチプレクサM2を経て、前記出力信号OUTとして被テスト回路へと出力される。

【0037】なお、このようなテストモード時での前記出力信号OUTの強制設定の際、本発明のテスト回路が複数カスケード接続されている場合、前記入力側マルチプレクサM1を前記テストデータ入力信号TDIの選択としながら、前記テストデータクロック信号TCKに従ったタイミングで、テストデータを順次シフトさせることも可能である。又、このようにテストデータを順次シフトしながら、それぞれのテスト回路の前記入力側フリップフロップFF1へと、所望の論理状態のテストデータが保持された後、該テストデータに従った論理状態を前記出力信号OUTとして出力することができる。即ち、前記テストデータ入力信号TDIの選択状態となっている前記入力データ選択信号SELを、前記入力信号INの選択状態とすることで、それぞれの前記出力側フリップフロップFF2及びそれぞれの前記出力側マルチプレクサM2を経て、設定されたテストデータに従った論理状態を、それぞれの前記出力信号OUTとして出力することができる。

【0038】以上説明したとおり、本発明によれば、外部からのテストデータの設定と、設定されたテストデータに従った論理状態を被テスト回路へと出力するタイミングとを、より厳密に分離することができる。即ち、外部からのテストデータの設定、又、設定されたテストデータを被テスト回路へと入力するタイミングを、外部からより容易にコントロールすることができ、テスト作業能率を向上することができる。従って、前記テストデータ入力信号TDIに従ったテストデータの選択の際、前

記出力信号OUTはこの影響を全く受けない。

【0039】これは、前記テストデータ入力信号TDIを前記入力側マルチプレクサM1が選択させるように制御する前記入力データ選択信号SELが、前記入力側フリップフロップFF1の出力側に設けられた前記出力側フリップフロップFF2にも入力されているためである。従って、前記テストデータ入力信号TDIによるテストデータの設定の際には、該出力側フリップフロップFF2の前記出力信号Q2の出力は変化しない。

【0040】なお、前記入力側フリップフロップFF1及び前記出力側フリップフロップFF2は、前記図1に示したような、文字通りのフリップフロップに限定されるものではない。例えば、前記入力側フリップフロップFF1については、ラッチ回路であってもよい。又、複数の本発明の適用されたテスト回路を前記テストデータ入力信号TDIと前記前記テストデータ出力信号TDOについてカスケード接続する場合には、該入力側フリップフロップFF1は、前記テストデータクロック信号TCKに従ったタイミングでテストデータのシフトができるものであればよい。このようにカスケード接続する場合、該入力側フリップフロップFF1としては、例えば、マスタスレーブ型ラッチ回路を用いることができる。又、前記出力側フリップフロップFF2についても、後述する実施例の如く、ラッチ回路でも構成することができる。

【0041】

【実施例】以下、本発明の実施例を詳細に説明する。

【0042】図2は、本発明が適用されたアナログデジタル混載回路のテスト回路の実施例の論理回路図である。

【0043】本実施例のテスト回路は、この図2に示される如く、前記図1に示した前記出力側フリップフロップFF2が、ラッチ回路FF2aとなっている。このように、本発明の前記出力側フリップフロップFF2は、文字通りのフリップフロップに限定されるものではなく、ラッチ回路であってもよい。

【0044】又、この図2に示される如く、前記ラッチ回路FF2aのゲートGへと入力する信号を得るため、論理ゲートG1～G4が用いられている。前記論理ゲートG1～G3は、いずれもインバータゲートであり、直列接続されている。又、前記論理ゲートG4は、AND論理ゲートである。

【0045】これら論理ゲートG1～G4によって、前記入力データ選択信号SELがL状態からH状態となる立上り時に、前記インバータゲートG1～G3の1つ分の遅延時間の3倍のパルス幅のワンショットパルス信号を生成している。このようなワンショットパルス信号を前記ラッチ回路FF2aのそのゲートGへと入力することで、前記ラッチ回路FF2aはほぼフリップフロップと同様の動作をしている。

【0046】なお、この図2に示される本実施例のテスト回路は、以上説明した前記ラッチ回路FF2a及び前記論理ゲートG1～G4に関するもの以外には、前記図1に示したものと同様のものとなっている。又、前記入力データ選択信号SEL及び前記テストモード信号TSTに従った制御、又前記テストデータ入力信号TDI及び前記テストデータ出力信号TDOについてのテストデータの設定や前記入力信号INのモニタ、更には、前記入力信号IN及び前記出力信号OUTに関する被テスト回路に対する接続についても、本実施例のテスト回路は、前記図1に示したものと同様である。

【0047】図3は、本実施例のテスト回路を複数カスケード接続して用いた時の回路図である。

【0048】この図3において、合計n個の本実施例のテスト回路T1～Tnが用いられている。これらテスト回路T1～Tnは、前記図2に示したものである。又、これらテスト回路T1～Tnは、それぞれの前記テストデータ入力信号TDIと、それぞれの前記テストデータ出力信号TDOとについて、カスケード接続されている。

【0049】即ち、前記テスト回路T1の前記テストデータ入力信号TDIには、外部からテストデータを入力するテストデータTDOが入力されている。前記テスト回路T2の前記テストデータ入力信号TDIには、前記テスト回路T1の前記テストデータ出力信号TDOから出力されるテストデータTD1が入力されている。このように順次カスケード接続され、前記テスト回路Tnの前記テストデータ入力信号TDIには、前記テスト回路T(n-1)の前記テストデータ出力信号TDOが出力するテストデータTD(n-1)が入力されている。更に、該テスト回路Tnの前記テストデータ出力信号TDOからは、最終的に、テストデータTDnが出力されている。

【0050】このようにカスケード接続されたそれぞれの前記テスト回路T1～Tnには、いずれにも、前記入力データ選択信号SEL、前記テストモード信号TST及びテストデータクロック信号TCKが並列に入力されている。又、被テスト回路のアナログ回路部から出力される入力信号I1～Inは、それぞれ、前記テスト回路T1～Tnの前記入力信号INに入力されている。一方、被テスト回路のデジタル回路部へと出力される出力信号O1～Onは、前記テスト回路T1～Tnの、それぞれの前記出力信号OUTから出力されている。

【0051】なお、この図3に示される前記テスト回路T1～Tnは、前述のとおり、前記図2に示される本実施例のテスト回路となっている。しかしながら、前記図1に示したものをこの図3の前記テスト回路T1～Tnそれぞれへと用いることも可能である。又、これらのみならず、本発明が適用されたものであれば、この図3のこれらテスト回路T1～Tnの如く、カスケード接続

し、テストデータやモニタとして読み取られた前記入力信号 I_N を順次シフトさせることが可能である。

【0052】図4は、本実施例のテスト回路を複数カスケード接続したものの動作を示すタイムチャートである。

【0053】この図4においては、前記図3に示される前記テストモード信号 TST と、前記テストデータクロック信号 CLK と、前記入力データ選択信号 SEL とのタイムチャートが示されている。又、この図4では、前記図3に示される合計 n 個の前記テスト回路 $T1 \sim Tn$ について、その第1番目の前記テスト回路 $T1$ における、前記テストデータ入力信号 TDI と、前記出力信号 $Q1$ と、前記出力信号 $Q2$ とのタイムチャートが示されている。

【0054】このタイムチャートにおいて、まず時刻 t_1 では、前記テストモード信号 TST が H 状態から L 状態となり、前記通常モードの状態からテストモードの状態となる。これに伴って、前記図2に示される前記出力側マルチプレクサ $M2$ は、前記出力側フリップフロップ $FF2$ が出力する前記出力信号 $Q2$ を選択し、前記出力信号 OUT として出力するようになる。該時刻 t_1 から、前記テストモード信号 TST が再び H 状態となる時刻 t_2 までが、このようなテストモードである。

【0055】この時刻 t_1 の時点では、前記入力データ選択信号 SEL は L 状態であり、前記図2に示される前記入力側マルチプレクサ $M1$ は、前記テストデータ入力信号 TDI を選択している。この時刻 t_1 から後に、前記テストデータ入力信号 TDI から、合計3個のビットデータ $A \sim C$ が、前記テストデータクロック信号 CLK のパルス信号1~3の立上りに同期して順次入力される。入力されるこれらビットデータ $A \sim C$ は、このような前記テストデータクロック信号 CLK のパルス信号1~3の立上りのタイミングにて、前記図2に示される前記入力側フリップフロップ $FF1$ へと、順次保持されていく。このように各ビットデータ $A \sim C$ が順次保持されシフトする様子は、この図4のタイムチャートの、前記出力信号 $Q1$ にて示されている。

【0056】この後、時刻 t_2 にて、前記入力データ選択信号 SEL が L 状態から H 状態となり、前記テストデータ入力信号 TDI の選択から前記入力信号 IN の選択へと変化する。この時刻 t_2 から時刻 t_4 までが、特に、実際の前記被テスト回路のテストが行われる期間となる。

【0057】このように被テスト回路のテストが開始される前記時刻 t_2 において、前記入力側フリップフロップ $FF1$ には、最終的に前記ビットデータ C が保持されている。又、この時刻 t_2 にて前記入力データ選択信号 SEL が立上ることによって、前記ラッチ回路 $FF2a$ の前記ゲート G へとワンショットパルス信号が入力される。これに伴って、前記ラッチ回路 $FF2a$ は、前記出力信号

$Q1$ を保持する。即ち、ビットデータ C を保持する。従って、この時刻 t_2 からやや遅れて、該ラッチ回路 $FF2a$ の前記出力信号 $Q2$ から、前記ビットデータ C が出力されるようになる。該出力信号 $Q2$ は、当該テスト回路 $T1$ の前記出力信号 OUT として、又前記出力信号 $Q1$ として被テスト回路へと入力される。

【0058】従って、前記時刻 t_1 から時刻 t_2 までの期間で、複数の前記テスト回路 $T1 \sim Tn$ それぞれに設定されたビットデータは、この時刻 t_2 にて、前記入力データ選択信号 SEL が立上ることによって、それぞれの前記出力信号 OUT として被テスト回路へと一斉に入力される。従って、該入力データ選択信号 SEL の立上りが、被テスト回路へのテストデータの入力のトリガとなる。

【0059】前記時刻 t_2 から前記時刻 t_4 までの前記被テスト回路の実際のテスト中、例えば時刻 t_3 において、テスト者の判断にて、前記テストデータクロック信号 CLK が入力される。これによって、前記入力信号 $I1 \sim In$ が、それぞれ対応する前記テスト回路 $T1 \sim Tn$ の前記入力側フリップフロップ $FF1$ へと取り込まれる。この図4のタイムチャートにおいては、第1番目の前記テスト回路 $T1$ において、前記入力信号 $I1$ から被テスト回路よりビットデータ BIN が取り込まれる様子が示されている。

【0060】このように、前記入力信号 $I1 \sim In$ が取り込まれた後、前記時刻 t_4 にて、前記入力データ選択信号 SEL が H 状態から L 状態となる。該入力データ選択信号 SEL が L 状態となることにより、前記テスト回路 $T1 \sim Tn$ それぞれの前記入力側マルチプレクサ $M1$ は、前記テストデータ入力信号 TDI を選択することとなる。

【0061】この後、前記テストデータクロック信号 CLK からパルス信号5~7が入力されると、前記テスト回路 $T1 \sim Tn$ へと保持されている、前記入力信号 $I1 \sim In$ から取り込まれたビットデータは順次シフトされる。従って、第1番目の前記テスト回路 $T1$ に取り込まれた前記ビットデータ BIN は、前記時刻 t_4 の後に入力される、 n 個目の前記テストデータクロック信号 CLK のパルス入力時に、前記テストデータ TDn として外部からモニタできるようになる。

【0062】なお、前記時刻 t_4 以降、このように前記テストデータクロック信号 CLK から順次パルス信号を入力し、モニタされるビットデータを順次シフトする際、前記ラッチ回路 $FF2a$ が出力する前記出力信号 $Q2$ が変化せず常に一定となる。これは、前記入力データ選択信号 SEL が L 状態のままであり、該ラッチ回路 $FF2a$ の前記ゲート G にはワンショットパルス信号が入力されないためである。

【0063】以上、前記図4のタイムチャートを用いて説明したとおり、前記テストデータクロック信号 CLK

から順次パルス信号を入力しながら行うデータシフト、即ちテストデータのシフトや、モニタされるビットデータのシフトの期間（時刻 t_1 から時刻 t_2 までの期間や、時刻 t_1 以降の期間）と、実際に前記被テスト回路をテストする期間（時刻 t_2 から時刻 t_1 までの期間）とを、より厳密に分離することができる。

【0064】このため、例えば前記図4の時刻 t_1 から時刻 t_2 までの期間や、例えば時刻 t_1 以降の期間、被テスト回路に入力される前記出力信号 $O_1 \sim O_n$ を変化させることなくデータシフトすることができる。又、実際の被テスト回路のテストにあたっては、前記入力データ選択信号 SEL の立上り（時刻 t_2 ）にて、データシフトにて設定されたテストデータを、前記出力信号 $O_1 \sim O_n$ として一斉に出力することができる。このようにテストデータの出力のタイミングを、外部からより厳密にコントロールすることができる。

【0065】又、このような実際の被テスト回路のテスト中、前記テストデータクロック信号 TCK からパルス信号を入力することで、前記入力信号 $I_1 \sim I_n$ を所望のタイミングでモニタすることができる。従って、本実施例によれば、被テスト回路を能率良くテストすることができ、作業時間の短縮等を図ることが可能である。

【0066】

【発明の効果】以上説明したとおり、本発明によれば、外部からのテストデータの設定、又、設定されたテストデータを被テスト回路へと入力するタイミングを、外部

からより容易にコントロールすることができるようにすることで、テスト作業能率を向上することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】本発明のアナログデジタル混載回路のテスト回路の要旨を示す論理回路図

【図2】本発明が適用されたアナログデジタル混載回路のテスト回路の実施例の論理回路図

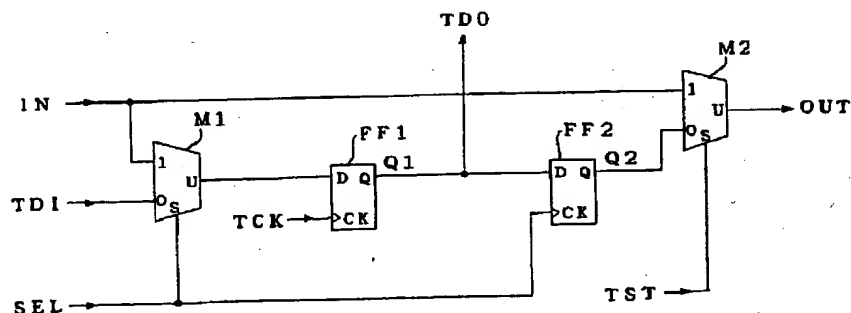
【図3】前記実施例を合計 n 個カスケード接続したものを示す回路図

【図4】前記実施例の動作を示すタイムチャート

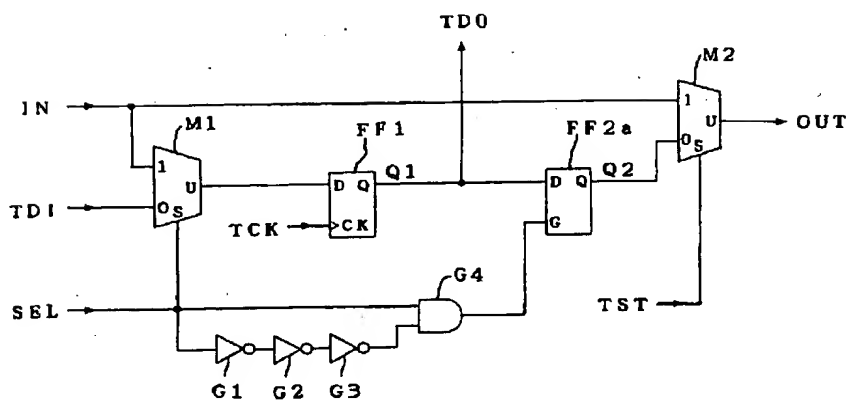
【符号の説明】

M1…入力側マルチプレクサ
M2…出力側マルチプレクサ
FF1…入力側フリップフロップ
FF2…出力側フリップフロップ
TST…テストモード信号
SEL…入力データ選択信号
TDI…テストデータ入力信号
TDO…テストデータ出力信号
TCK…テストデータクロック信号
IN、 $I_1 \sim I_n$ …入力信号
OUT、 $O_1 \sim O_n$ …出力信号
TD0…テストデータ
 $t_1 \sim t_2$ …時刻

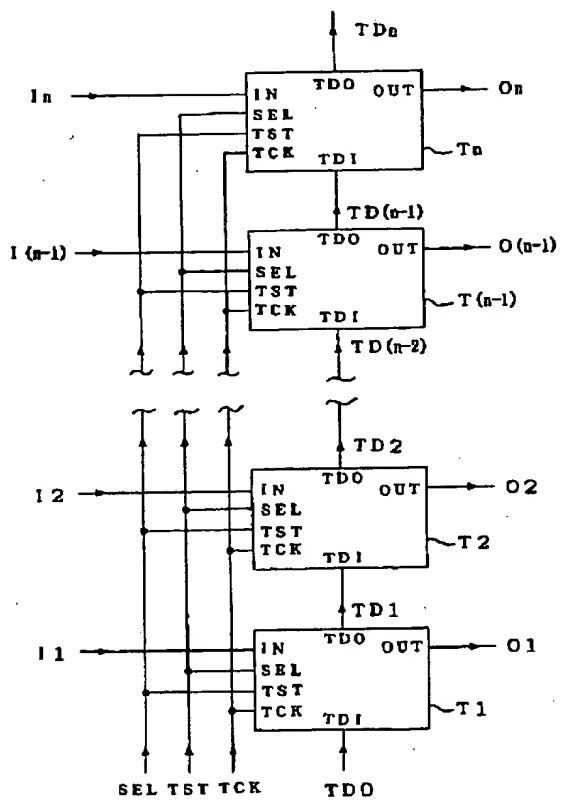
【図1】



【図 2】



【図 3】



【図4】

